

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 1-22051 (A)

(43) 25.1.1989 (19) JP

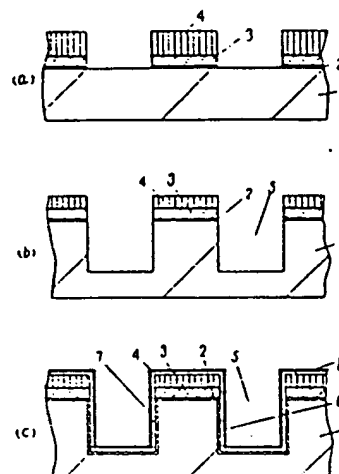
(21) Appl. No. 62-179482 (22) 17.7.1987

(71) MATSUSHITA ELECTRIC IND CO LTD (72) NORIHIKO TAMAOKI(1)

(51) Int. Cl. H01L21/94, H01L21/76

PURPOSE: To prevent the acid resistant mask from being etched in the later isotropical etching process by a method wherein, after a silicon nitride film as a second acid resistant film is formed on the whole semiconductor substrate surface, the surface of this silicon nitride film is oxidized to form a silicon oxide film as an anti-etching mask which is thin and has no pin holes.

CONSTITUTION: On an N-type substrate 1, a thermal oxide film 2, a silicon nitride film 3 and a silicon oxide film 4 are sequentially formed, and with the silicon oxide film 4 as a mask they are etched to form opening parts 5. With the silicon nitride film 3 as a mask a thermal oxidation is performed to form a thermal oxide film 6 on the side and bottom of the opening parts. Thereafter, a silicon nitride film 7 is formed on the whole surface by a low pressure CVD method or the like, and subsequently a heat treatment is performed in an oxidation atmosphere to oxidize the surface of the silicon nitride film 7, thereby forming a silicon oxide film 8. With this, even if there are pin holes in the silicon oxide film which is later deposited on the silicon nitride film 7, the etching of the silicon nitride film 7 is prevented since the silicon oxide film 8 acts as an anti-etching mask in the isotropical etching process.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭64-22051

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月25日

H 01 L 21/94
21/766708-5F
D-7131-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-179482

⑯ 出 願 昭62(1987)7月17日

⑰ 発 明 者 玉 置 徳 彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑱ 発 明 者 久 保 田 正 文 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

- (1) 半導体基板に形成された第1の耐エッチング性マスク材と耐酸化性被膜をマスクとして前記半導体基板に開口部を形成する工程と、第2の耐酸化性被膜を減圧CVD法で半導体基板全面に形成する工程と、第2の耐酸化性被膜をの表面を酸化し第2の耐エッチング性被膜を形成する工程と、前記第2の耐エッチング性被膜・耐酸化性被膜を異方性エッチングし前記開口部側面内のみ残存させる工程と、前記第1及び第2の耐エッチング性マスク材をマスクとして等方性ドライエッチングを行なう工程と、前記第1及び第2の耐酸化性被膜をマスクとして半導体基板の酸化を行なう工程を含む半導体装置の製造方法。
- (2) 第1及び第2の耐酸化性被膜としてシリコン酸化膜を用いる特許請求の範囲第1項記載の半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は高密度、高速、低消費電力性を備えた半導体装置の製造方法に関するものである。

従来の技術

半導体集積回路においては高密度・高速化・低消費電力化が追求されつつあり、素子間の分離領域の低減による高密度化やMOS素子におけるソース・ドレインと基板間に発生する寄生容量などの低減による高速・低消費電力化などを狙ってSOI(Silicon On Insulator)構造の開発においてさまざまな試みが実施されている。

第2図は特願昭61-136631号に示された溝掘り分離発展型のSOI構造半導体装置の製造工程の一例を示す断面図である。

第2図は特開昭64-88871号公報に示されている溝掘り分離発展型のSOI構造半導体装置の製造工程の一例を示す断面図である。

まず第2図(a)のように、シリコン基板1の上記選択的に開口された Si_3N_4 膜2を形成する。次

特開昭64-22051(2)

にbに示すように、 Si_3N_4 膜2をマスクとして、異方性の強いドライエッチ法、たとえば反応性イオンエッチ(R.I.E)でシリコン基板1に開口部3を形成する。この急峻な開口面に対し第2図(d)のように、 Si_3N_4 膜4を成圧CVD法によって付着させる。次に(d)に示すように、スパッタエッチング法により Si_3N_4 膜4を除去する。スパッタエッチング法は、エッチングの直線性が保たれているため、側面の Si_3N_4 膜4はエッチングされず、第2図(d)のように Si_3N_4 膜2の上面部及びシリコン基板開口部3底面のみがエッチングされる。その後、第2図(e)のようにシリコン基板1のエッチングを行ない、第2図(f)に示すように酸化を実施し、酸化物領域5を形成すると単結晶シリコン島領域6の下面全域が両側からの酸化によりつながる。その後、単結晶シリコン島領域6表面の Si_3N_4 膜を除去すると、第2図(g)に示すように単結晶シリコン島領域6の下面および側面全てが酸化物領域6により囲まれた構造となる。

発明が解決しようとする問題点

ところが、このシリコン酸化膜厚にこのような制限があると、分離領域を定めることが困難になってくる。開口部内の向かいあったシリコン酸化膜が接触してしまうからである。

問題点を解決するための手段

上記問題点を解決するため、本発明では第2の耐酸化性薄膜としてのシリコン窒化膜を半導体基板全面に形成した後、このシリコン窒化膜の表面を酸化することにより、薄くかつピンホールのない耐エッチング性マスクとしてのシリコン酸化膜をシリコン窒化膜上に形成する。

作用

上記手段により薄くかつピンホールのない耐エッチング性マスクを形成することにより、分離領域を定め、かつ後の等方性エッチング工程で耐酸化性マスクがエッチングされないプロセスを確立することが可能になった。

実施例

第1図は本発明の一実施例における半導体装置の製造工程を示す断面図である。

ここで第2図(a)で示したシリコン基板のエッチングは、次の(第2図(i))酸化工程におけるシリコン島領域の形状安定化や、酸化時間の短縮化によるシリコン島領域内の欠陥の低減化という点から等方的なエッチングにする必要がある。

この等方性エッチングは、高密度化に伴ない隣合うシリコン島間の分離領域が狭った際のエッチング安定性という観点からドライエッチングで行なうことが望ましい。ドライエッチングではシリコン基板とシリコン窒化膜との選択比が低い為、シリコン窒化膜上にシリコン窒化膜を形成した膜と同様のプロセスでシリコン酸化膜を形成するプロセスが必要である。

しかし、シリコン酸化膜形成時には開口部側面に残存させるためのこのシリコン酸化膜をピンホールの存在しない膜厚以上に堆積させないといけない。ピンホールがあるとシリコン酸化膜下のシリコン窒化膜が等方性エッチング工程でエッチングされ、酸化工程で所望のシリコン島形状が得られなくなるからである。

第2図と同様第1図において、1はp型(100)シリコン基板で比抵抗は $0.5 \sim 1.0 \Omega \cdot \text{cm}$ である。2は膜厚1000Åのシリコン熱酸化膜、3は耐酸化性薄膜としての膜厚2000Åのシリコン窒化膜、4は異方性及び等方性の2度のドライエッチング工程における耐ドライエッチマスクとしての膜厚3000Åのシリコン酸化膜である。5は異方性エッチングにより、シリコン基板に形成された開口部、6は膜厚500Åのシリコン熱酸化膜、7は膜厚1000Åのシリコン窒化膜、8は膜厚1000Åのシリコン酸化膜、9は等方性ドライエッチングによりシリコン基板に形成された開口部、10はシリコン基板から絶縁分離された素子領域、11は酸化膜領域である。

まず、第1図(a)のようにp型基板1上に熱酸化膜2、シリコン窒化膜3、シリコン酸化膜4を順に形成し、素子領域となる部分以外(分離領域)を異方性の強い反応性イオンエッチング(R.I.E)等を用いて開口する。次に第1図(b)に示すように分離領域となる部分をこれもR.I.E等を用いてシ

特開昭64-22051(3)

リコン酸化膜4をマスクとしてエッチングし、開口部5を形成する。このときシリコン酸化膜4の膜厚は減少するが後の熱酸化膜、シリコン窒化膜の異方性エッチングの下地及びシリコン基板の等方性ドライエッチングのエッチングマスクとして使用できる膜厚(1500Å以上)は残っている。次に第1図(e)のように、シリコン窒化膜3をマスクとして熱酸化を行ない、開口部の側面及び底面に熱酸化膜6を形成し、その後全面にシリコン窒化膜7を低圧CVD法等で形成し、続けて酸化性雰囲気中で熱処理を行ない、シリコン窒化膜7の表面を酸化してシリコン酸化膜8を形成する。

このシリコン窒化膜7の酸化工程が挿入されることにより、後にシリコン窒化膜7上に堆積されるシリコン酸化膜にピンホールがあっても、この酸化工程で形成されたシリコン酸化膜8が等方性エッチング工程で耐エッチング性マスクとして働きシリコン窒化膜7がエッチングされるのを防ぐことになる。

この後、第1図(f)のように、反応性イオンエッ

チング法で異方性の強いエッチングを行なうと、開口部5の側壁部のシリコン熱酸化膜6、シリコン窒化膜7、シリコン酸化膜8のみを残してその他のシリコン酸化膜・窒化膜が除去される。ここでもシリコン酸化膜4の膜厚は減少するが、後のシリコン基板の等方性ドライエッチング工程でのエッチングマスクとして使用できる膜厚(500Å以上)は残されている。次に等方性ドライエッチング工程でのマスク材としてのシリコン酸化膜を開口部側面のシリコン窒化膜7上に被覆させた形で残すために、前のシリコン窒化膜7で行なったのと同様に低圧CVD法等で全面にシリコン酸化膜9を形成し(第1図(g))、反応性イオンエッチング法で側壁部のみを残し、その他のシリコン酸化膜9を除去する(第1図(h))。次にシリコン酸化膜4、8及び9をマスクとして $CF_4 \cdot O_2$ ガスを用いたマイクロ波放電等によるシリコン基板の等方性エッチングを行ない開口部10を形成する(第1図(i))。

繰り返し記述するが、シリコン酸化膜9にピン

ホールが発生していても、シリコン窒化膜7上にはピンホールのないシリコン酸化膜8が被覆しておりシリコン窒化膜7はエッチングされず、次の選択酸化工程で所望の素子領域形状を再現性良く形成できる。この後第1図(h)に示すように、高圧酸化法により約7気圧の圧力下で酸化を行なうと、酸化される領域はシリコン窒化膜3、7に覆われていない領域に限定されるため、開口部深さ・酸化時間・素子領域幅を最適化するとシリコン基板1の一部からなる素子領域11が酸化膜領域12によりシリコン基板と分離・絶縁された構造を得ることができる。

以下、この後の工程については省略するが、既知の方法により分離領域をシリコン酸化膜・ポリシリコン等で埋め込み、MOSデバイスなどを形成する。

発明の効果

以上説明した発明により、溝掘り分離発展型SOI構造素子の製造技術において、シリコン基板の等方性エッチングにドライエッチを適用する

際、低圧CVD法により堆積する耐エッチング性マスクとしてのシリコン酸化膜にピンホールが存在しても、所望の素子形状を得られることが可能になった。シリコン酸化膜が薄くできることが可能になり素子を高密度にかつ信頼性良く製造できることを可能にした極めて工業的価値の高いものである。

4. 図面の簡単な説明

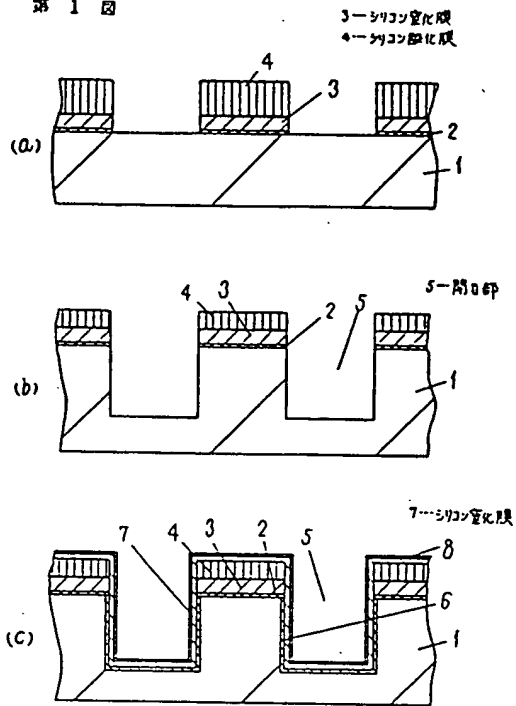
第1図は本発明の一実施例における半導体装置の製造方法を示す工程断面図、第2図は従来の溝掘り分離発展型SOI構造素子の製造方法を示す工程断面図である。

3, 7……シリコン窒化膜、4, 8, 9……シリコン酸化膜、5……開口部、10……素子領域。

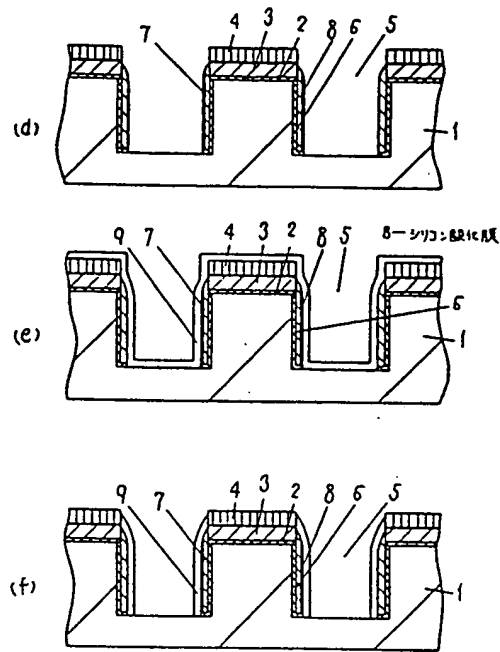
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

特開昭64-22051(4)

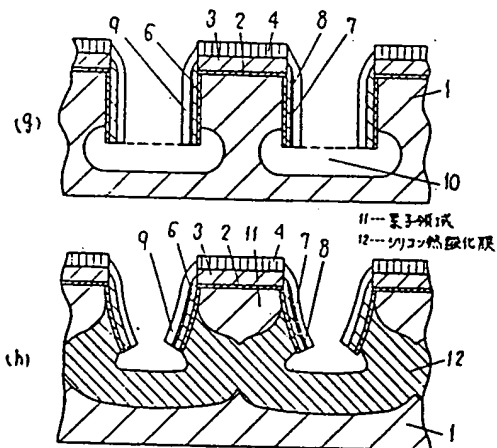
第 1 図



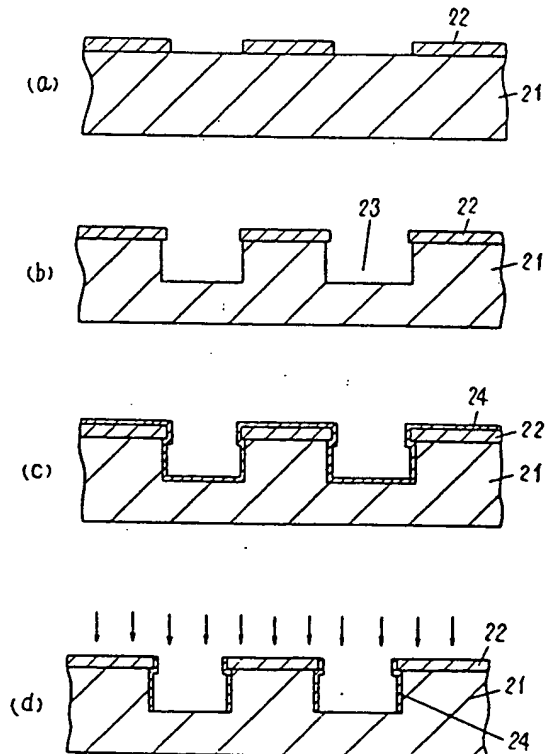
第 1 図



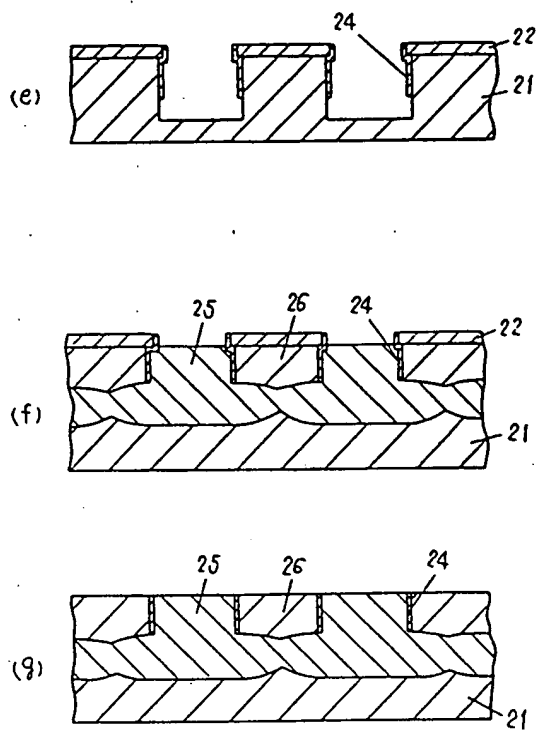
第 1 図



第 2 図



第 2 図



第 2 図

